

1/5/8

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03673686 **Image available**

DYNAMIC SEMICONDUCTOR MEMORY DEVICE

PUB. NO.: 04-038786 [JP 4038786 A]

PUBLISHED: February 07, 1992 (19920207)

INVENTOR(s): OWAKI YUKITO

TAKASHIMA DAIZABURO

OTA MASAKO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-141686 [JP 90141686]

FILED: June 01, 1990 (19900601)

INTL CLASS: [5] G11C-011/401

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: P, Section No. 1356, Vol. 16, No. 216, Pg. 27, May
21, 1992 (19920521)

ABSTRACT

PURPOSE: To guarantee a TDDB without fail when a Vcc is high and to sufficiently execute writing at an H level when the Vc is low by using a potential with small Vcc dependency for a word line booster circuit.

CONSTITUTION: Under the control of a control signal clock .phi.(sub 1), an MOSTrQ1 auxiliarily charges a potential V(sub 1) to a terminal N(sub 1) of a capacitor C(sub 2). When a control signal .phi.(sub 2) is changed from H to L, a TrQ2 is turned on and a TrQ3 is turned off. Then, a potential V(sub 2) is applied to a terminal N(sub 2) of the capacitor C(sub 2) and a boosted potential is obtained at the terminal N(sub 1). This potential is passed through a word line driving line WDR.V and supplied through TrQ4 and Q5, which are controlled by clocks .phi.(sub 3) and .phi.(sub 4) to a selected word line WL of a memory cell array 8. Thus, plural memory cells M(sub 1), M(sub 2),... are selected and a signal is exchanged between the capacitor and the bit line.

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-38786

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月7日

G 11 C 11/401

8526-5L

G 11 C 11/34

3 6 2 C

審査請求 未請求 請求項の数 11 (全 22 頁)

⑮ 発明の名称 ダイナミック型半導体記憶装置

⑯ 特 願 平2-141686

⑰ 出 願 平2(1990)6月1日

⑱ 発 明 者 大 脇 幸 人 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内
⑱ 発 明 者 高 島 大 三 郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内
⑱ 発 明 者 太 田 雅 子 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外 3 名

明 細 書

1. 発明の名称

ダイナミック型半導体記憶装置

2. 特許請求の範囲

(1) 選択されたワード線に昇圧電位を与えるワード線駆動回路を有するダイナミック型半導体記憶装置において、前記ワード線駆動回路は、

選択されたワード線に接続される第1の端子と制御端子としての第2の端子を持つ昇圧用キャパシタと、

前記第2の端子が“L”レベルに保持された状態で前記第1の端子を第1の電位に予備充電する充電回路と、

前記第1の電位として電源電位変動に対する依存性の小さい電位を発生する電位発生回路と、

前記第2の端子を“L”レベル状態から第2の電位に持ち上げることにより前記第1の端子に昇圧電位を得るキャパシタ駆動回路と、

を備えたことを特徴とするダイナミック型半導体記憶装置。

(2) 選択されたワード線に昇圧電位を与えるワード線駆動回路を有するダイナミック型半導体記憶装置において、前記ワード線駆動回路は、

選択されたワード線に接続される第1の端子と制御端子としての第2の端子を持つ昇圧用キャパシタと、

前記第2の端子が“L”レベルに保持された状態で前記第1の端子を第1の電位に予備充電する充電回路と、

前記第2の端子を“L”レベル状態から第2の電位に持ち上げることにより前記第1の端子に昇圧電位を得るキャパシタ駆動回路と、

前記第2の電位として電源電位変動に対する依存性の小さい電位を発生する電位発生回路と、を備えたことを特徴とするダイナミック型半導体記憶装置。

(3) 選択されたワード線に昇圧電位を与えるワード線駆動回路を有するダイナミック型半導体記憶装置において、前記ワード線駆動回路は、

選択されたワード線に接続される第1の端子と

制御端子としての第2の端子を持つ昇圧用キャパシタと、

前記第2の端子が“L”レベルに保持された状態で前記第1の端子を第1の電位に予備充電する充電回路と、

前記第1の電位として電源電位変動に対する依存性の小さい電位を発生する第1の電位発生回路と、

前記第2の端子を“L”レベル状態から第2の電位に持ち上げることにより前記第1の端子に昇圧電位を得るキャパシタ駆動回路と、

前記第2の電位として電源電位変動に対する依存性の小さい電位を発生する第2の電位発生回路と、

を備えたことを特徴とするダイナミック型半導体記憶装置。

(4) 前記第1の電位発生回路と第2の電位発生回路が共通の一つの回路であることを特徴とする請求項3記載のダイナミック型半導体記憶装置。

(5) 複数のビット線とこれと交差する複数本の

- 3 -

と、

前記第1および第2の増幅回路の出力電位の高い方を出力するワイヤードOR結線と、

このワイヤードOR結線に得られる出力電位を前記昇圧用キャパシタの第1の端子に予備充電する充電回路と、

前記昇圧用キャパシタの第2の端子に所定電位を与えることにより前記第1の端子に昇圧電位を得るキャパシタ駆動回路と、

を有することを特徴とするダイナミック型半導体記憶装置。

(6) 前記第1の基準電位発生回路は、ダイオード接続された1個または2個以上直列接続されたMOSトランジスタのソース側が接地され、ドレイン側が負荷を介して電源電位に接続されて構成されていることを特徴とする請求項5記載のダイナミック型半導体記憶装置。

(7) 前記第2の基準電位発生回路は、電源電位と接地間に分圧用の二つの抵抗とダイオード接続されたMOSトランジスタが直列接続されて構成

- 5 -

ワード線が配設され、これらのビット線とワード線の各交差位置に1トランジスタ/1キャパシタのメモリセルが配設されたセルアレイを有し、選択されたワード線に昇圧電位を与えるワード線駆動回路を有するダイナミック型半導体記憶装置において、前記ワード線駆動回路は、

選択されたワード線に接続される第1の端子と制御端子としての第2の端子を持つ昇圧用キャパシタと、

電源電位に依存せず、前記メモリセルのセル・トランジスタのゲート酸化膜厚に比例する第1の基準電位を発生する第1の基準電位発生回路と、

この回路の出力端子に接続されて前記第1の基準電位に比例した出力電位を得る第1の増幅回路と、

電源電位および前記メモリセルのしきい値の変動に応じて変動する第2の基準電位を発生する第2の基準電位発生回路と、

この回路の出力端子に接続されて前記第2の基準電位に比例した出力電位を得る第2の増幅回路

- 4 -

されていることを特徴とする請求項5記載のダイナミック型半導体記憶装置。

(8) 前記第1の増幅回路は、

前記第1の基準電位発生回路の出力端子に反転入力端子が接続された演算増幅器と、

ゲートが前記演算増幅器の出力端子に接続され、ドレインが電源電位に接続され、ソースが出力端子となるpチャネルMOSトランジスタと、

このMOSトランジスタのソースと接地間に二つの抵抗が直列接続されて構成され、その分圧点電位が前記演算増幅器の非反転入力端子に帰還される分圧回路と、

を有することを特徴とする請求項5記載のダイナミック型半導体記憶装置。

(9) 前記第2の増幅回路は、

前記第2の基準電位発生回路の出力端子に反転入力端子が接続された演算増幅器と、

ゲートが前記演算増幅器の出力端子に接続され、ドレインが電源電位に接続され、ソースが出力端子となるpチャネルMOSトランジスタと、

- 6 -

このMOSトランジスタのソースと接地間に二つの抵抗が直列接続されて構成され、その分圧点電位が前記演算増幅器の非反転入力端子に帰還される分圧回路と、

を有することを特徴とする請求項5記載のダイナミック型半導体記憶装置。

(10) 選択されたワード線に昇圧電位を与えるワード線駆動回路を有するダイナミック型半導体記憶装置において、前記ワード線駆動回路は、

選択されたワード線に接続される第1の端子と制御端子としての第2の端子を持つ昇圧用キャパシタと、

前記第2の端子が“L”レベルに保持された状態で前記第1の端子を第1の電位に予備充電する充電回路と、

前記第1の電位として電源電位変動に対する依存性の小さい電位を発生する電位発生回路と、

前記第2の端子を“L”レベル状態から第2の電位に持ち上げるにより前記第1の端子に昇圧電位を得るキャパシタ駆動回路と、

- 7 -

(産業上の利用分野)

本発明は、ダイナミック型半導体記憶装置(DRAM)に係り、特にそのワード線駆動回路部の改良に関する。

(従来の技術)

1トランジスタ/1キャパシタからなるメモリセルを持つDRAMでは、セルキャパシタとビット線間の信号の授受を完全にするために、トランスファゲートMOSトランジスタのゲートに接続されるワード線にはビット線の“H”レベルより高い値に昇圧された電位が与えられる。一方DRAMは、素子の微細化によりますます高集積化が進んでいる。この素子の微細化は主としてスケーリング則にしたがってなされる。この結果、トランスファゲートMOSトランジスタのゲート酸化膜は、例えば1MDRAMでは250Å、16MDRAMでは150Å、さらに64MDRAMでは100Åと次第に薄膜化してくる。このゲート酸化膜の薄膜化によって、ゲート酸化膜にかかる電界による経時破壊(Time Dependent Dielectric Breakdown, TDDB)が大きい問題

となってくる。この問題を具体的に図面を用いて次に説明する。

第20図は、従来のDRAMのワード線駆動回路部の構成を示す。MOSトランジスタQ1～Q3およびキャパシタC2はワード線昇圧回路を構成している。この昇圧回路は、DRAMチップの周辺回路部に設けられている。MOSトランジスタQ1は、昇圧用キャパシタC2の第1に端子N1に予備充電を行うためのEタイプ、nチャネルの充電用トランジスタである。Eタイプ、pチャネルのMOSトランジスタQ2と、Eタイプ、nチャネルのMOSトランジスタQ3は、昇圧用キャパシタC2の第2の端子N2の電位を制御するための駆動回路を構成している。MOSトランジスタQ1はチャージポンプ回路により昇圧されたクロックφ1により制御されて、昇圧用キャパシタC2の第1の端子N1に電源電位Vccを予備充電する。アドレスが確定する前は、クロックφ2は“H”レベル、したがって第1の端子N2

【発明の目的】

- 8 -

nt Dioxide Breakdown, TDDB)が大きい問題となってくる。この問題を具体的に図面を用いて次に説明する。

第20図は、従来のDRAMのワード線駆動回路部の構成を示す。MOSトランジスタQ1～Q3およびキャパシタC2はワード線昇圧回路を構成している。この昇圧回路は、DRAMチップの周辺回路部に設けられている。MOSトランジスタQ1は、昇圧用キャパシタC2の第1に端子N1に予備充電を行うためのEタイプ、nチャネルの充電用トランジスタである。Eタイプ、pチャネルのMOSトランジスタQ2と、Eタイプ、nチャネルのMOSトランジスタQ3は、昇圧用キャパシタC2の第2の端子N2の電位を制御するための駆動回路を構成している。MOSトランジスタQ1はチャージポンプ回路により昇圧されたクロックφ1により制御されて、昇圧用キャパシタC2の第1の端子N1に電源電位Vccを予備充電する。アドレスが確定する前は、クロックφ2は“H”レベル、したがって第1の端子N2

- 10 -

は“L”レベルに保たれている。アドレスが確定してクロックφ₂が“H”レベルから“L”レベルに変化すると、pチャネルMOSトランジスタQ₂がオン、nチャネルMOSトランジスタQ₃がオフになって、キャパシタC₂の第2の端子N₂に“H”レベル電位が与えられ、容量結合によって第1の端子N₁に昇圧電位が得られる。この昇圧電位は、ワード線駆動線WDRVを介し、幾つかのデコード・トランジスタ(図の場合二つのMOSトランジスタQ₄, Q₅)を介してメモリセルアレイの選択されたワード線WLに供給される。これにより、ワード線WLに沿う複数のメモリセルM₁, M₂, …が選択されて、そのセルキャパシタとビット線BL₁, BL₂との信号の授受が行われる。

この様なワード線駆動回路において、昇圧用キャパシタC₂の第1の端子N₁がV_{cc}に予備充電されて、第2の端子N₂がV_{ss}からV_{cc}まで持ち上げられるとする。キャパシタC₂の容量をC₂で表し、また一本のワード線WLの容量をC₁、

- 11 -

ブ動作保証範囲の下限であるV_{ccmin}において、ワード線昇圧電位V_{wL}はビット線の“H”レベル電位よりトランスファゲートMOSトランジスタ(セル・トランジスタ)のしきい値電圧V_{th}分高くなければならない。第21図では、V_{ccmin}において、

$$V_{wL} = V_{BL} + V_{th}$$

である場合を示している。この様なワード線昇圧を行った場合、第21図から明らかなようにチップの動作保証範囲の上限の電源電位V_{ccmax}においては、ワード線昇圧電位V_{wL}はビット線“H”レベル電位V_{BL}よりも、

$$\begin{aligned} & \frac{(2C_2 + C_3) \cdot V_{ccmax}}{C_1 + C_2 + C_3} - V_{ccmax} \\ &= \frac{(C_2 - C_1) \cdot V_{ccmax}}{C_1 + C_2 + C_3} \end{aligned}$$

だけ高くなる。これはワード線に必要な電位に対して、

$$\Delta V = \frac{(C_2 - C_1) \cdot (V_{ccmax} - V_{ccmin})}{C_1 + C_2 + C_3}$$

だけ余分に高くなっていることを意味する。この

- 13 -

キャパシタC₂の第1の端子N₁からワード線WLまでのワード線駆動線WDRVの容量とこれに付随するMOSトランジスタの容量を全て含めてC₃とする。そうすると、昇圧電位がワード線WLに与えられたとき、実際のワード線電位V_{wL}は、容量C₂の電荷が容量C₁およびC₃に分配されて、

$$V_{wL} = \frac{(2C_2 + C_3) \cdot V_{cc}}{C_1 + C_2 + C_3}$$

となる。一般に昇圧用キャパシタの容量C₂はワード線容量C₁より大きいから、ワード線の昇圧電位V_{wL}の電源電位V_{cc}依存性は、

$$\frac{2C_2 + C_3}{C_1 + C_2 + C_3} > 1$$

なる関係にある。一方、ビット線電位V_{BL}の“H”レベル側はV_{cc}である。したがってワード線昇圧電位のV_{cc}依存性が、ビット線のそれより大きい。

第21図は、この様なワード線昇圧電位とビット線電位のV_{cc}依存性を示している。ワード線電位昇圧の本来の目的からすると、電源電位のチ

- 12 -

余分なワード線電位昇圧は、セル・トランジスタのゲート酸化膜に大きいストレスを与え、前述したTDDBによるチップ不良や信頼性低下の原因となる。

一方、電源電位の上限V_{ccmax}においてワード線昇圧電位が、ビット線電位よりしきい値分高いという最悪条件に設定されたとすると、第21図から明らかなように、電源電位の下限V_{ccmin}においてはビット線に対する“H”レベル電位書き込みが十分に行われなくなる。TDDB限界が例えば5Vであるとすれば、第21図において斜線で示した領域が書き込み動作マージンが十分な領域であることになる。

さらに従来のワード線駆動回路方式には、次のような問題もある。すなわち、実際のTDDBに効く最大電界は、ワード線電位V_{wL}とセル・トランジスタのゲート酸化膜厚T_{ox}との関係で、V_{wL}/T_{ox}の関数である。このため、ゲート酸化膜厚のプロセス条件によるばらつきにより、TDDBが変動するにも拘らず、ワード線駆動回路ではそ

- 14 -

れに対する補償を行っていない。またセル・トランジスタのしきい値がやはりプロセス条件のばらつきにより変動した場合、特に高い方に変動した場合にメモリセルへの“H”レベル書き込みが十分に行われなくなる。この様なしきい値変動に対する補償も行われていない。

(発明が解決しようとする課題)

以上のように従来のDRAMにおいては、ワード線昇圧電位の V_{cc} 依存性が大きいために、 V_{ccmin} での十分な“H”レベル書き込みと V_{ccmax} での信頼性確保を両立させる事ができず、また、ゲート酸化膜厚やしきい値のプロセス条件のばらつきに対するワード線昇圧電位の補償が行われていない、といった問題があった。

本発明は、ゲート酸化膜に不必要に高い電界をかけることなく、しかも十分な“H”レベル書き込みを可能としたワード線駆動回路を有するDRAMを提供することを目的とする。

本発明はまた、プロセス条件のばらつきに対するTDDB変動および“H”レベル書き込みマ

- 15 -

第2に、

選択されたワード線に接続される第1の端子と制御端子としての第2の端子を持つ昇圧用キャパシタと、

電源電位に依存せず、前記メモリセルのセル・トランジスタのゲート酸化膜厚に比例する第1の基準電位を発生する第1の基準電位発生回路と、

この回路の出力端子に接続されて前記第1の基準電位に比例した出力電位を得る第1の増幅回路と、

電源電位および前記セル・トランジスタのしきい値の変動に応じて変動する第2の基準電位を発生する第2の基準電位発生回路と、

この回路の出力端子に接続されて前記第2の基準電位に比例した出力電位を得る第2の増幅回路と、

前記第1および第2の増幅器の出力電位の高い方を出力するワイヤードOR結線と、

このワイヤードOR結線に得られる出力電位を前記昇圧用キャパシタの第1の端子に予備充電す

- 17 -

る充電回路を有するDRAMを提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明にかかるDRAMのワード線駆動回路は、第1に、

選択されたワード線に接続される第1の端子と制御端子としての第2の端子を持つ昇圧用キャパシタと、

前記第2の端子が“L”レベルに保持された状態で前記第1の端子を第1の電位に予備充電する充電回路と、

前記第2の端子を“L”レベル状態から第2の電位に持ち上げることにより前記第1の端子に昇圧電位を得るキャパシタ駆動回路とを備え、更に、

前記第1の電位または第2の電位の少なくとも一方を得る回路として、電源電位変動に対する依存性の小さい電位を発生する電位発生回路を備えたことを特徴とする。

本発明にかかるDRAMのワード線駆動回路は、

- 16 -

る充電回路と、

前記昇圧用キャパシタの第2の端子に所定電位を与えることにより前記第1の端子に昇圧電位を得るキャパシタ駆動回路と、

を有することを特徴とする。

本発明にかかるDRAMのワード線駆動回路は、第3に、

選択されたワード線に接続される第1の端子と制御端子としての第2の端子を持つ昇圧用キャパシタと、

前記第2の端子が“L”レベルに保持された状態で前記第1の端子を第1の電位に予備充電する充電回路と、

前記第1の電位として電源電位変動に対する依存性の小さい電位を発生する電位発生回路と、

前記第2の端子を“L”レベル状態から第2の電位に持ち上げることにより前記第1の端子に昇圧電位を得るキャパシタ駆動回路と、

前記ワード線のリークによる電位変動を補償すべく、ワード線の電位変動を検出して前記充電回

- 18 -

路を制御するワード線電位補償回路と、
を備えたことを特徴とする。

(作用)

第1の発明によれば、ワード線昇圧回路に V_{cc} 依存性の小さい電位、好ましくは V_{cc} 依存性のない電位を用いることによって、 V_{cc} が高い場合の T D D B に対する保証を確実にすることができ、また V_{cc} が低い場合の "H" レベル書き込みを十分に行うことができる。

第2の発明によれば、第1の発明により得られる作用に加えて、トランスファゲート MOS トランジスタのゲート酸化膜厚の変動に追従してワード線昇圧電位が変動する結果、ゲート酸化膜厚が変化しても常に T D D B 限界までのワード線の昇圧ができるという作用が得られる。これにより、D R A M の読出し速度の上昇が可能となり、また常に最大の動作マージンが得られる。またトランスファゲート MOS トランジスタのしきい値がプロセス条件のばらつきにより変動しても、その変動に応じてワード線昇圧電位が変動するため、

- 19 -

路3、4、取り込まれたアドレスをデコードするカラム・デコーダ5、ロウ・デコーダ6、これらのデコーダ出力により駆動される1トランジスタノ1キャパシタのメモリセルが配列されたメモリセルアレイ8、選択されたワード線に昇圧電位を与えるワード線昇圧回路7、メモリセルアレイ8とデータのやり取りを行うセンスアンプおよび1ノ0ゲート9、入出力データをラッチする入力バッファ10、出力バッファ11を含む。図には示さないが他に、基板バイアス発生回路やメモリセルアレイのセルフ・リフレッシュのためのリフレッシュ・カウンタを有する。これら主要な構成は従来の D R A M と変わらない。更に必要なら、シリアル・アクセスを行うために、カラム方向のシリアル・アドレスを発生させるシリアル・アドレス・カウンタを内蔵してもよい。

ワード線昇圧回路7を含むワード線駆動回路部は、第1図に示すように構成されている。その基本的な構成は、第20図に示した従来のものと同様であり、したがって第20図と対応する部分に

- 21 -

"H" レベル書き込み不足が生じることはない。更にまた、T D D B 限界以上の高電源電位では、電源電位に依存するワード線昇圧電位が得られるから、D R A M の加速試験にも有効に利用することができる。

第3の発明によれば更に、ワード線のリーク補償が行われて、常に最適なワード線昇圧電位を得ることができる。

(実施例)

以下、本発明の実施例を説明する。

第1図は一実施例の D R A M のワード線駆動回路部の要部構成を示す。第2図は第1図のワード線昇圧回路に用いられる電位発生回路であり、第3図は同じくチャージポンプ回路である。第3図は、D R A M の全体構成を示すブロック図である。

第3図に示すようにこの実施例の D R A M は、外部アドレスを取り込むロウ・アドレス・バッファ1、カラム・アドレス・バッファ2、これらのアドレス・バッファ1、2を制御駆動する制御回

- 20 -

は第20図と同一符号を付してある。ワード線昇圧回路7は、昇圧用キャパシタC2と、この昇圧用キャパシタC2の第1の端子N1に予備充電するための充電回路を構成するnチャネルMOS トランジスタQ1、および第2の端子N2を駆動するキャパシタ駆動回路を構成するpチャネルMOS トランジスタQ2とnチャネルMOS トランジスタQ3を有する。従来のものと異なるのは、電源電位依存性のない内部電位を発生する第1の電位発生回路201および第2の電位発生回路202を用意し、それぞれから昇圧用キャパシタの第1の端子N1に予備充電するための第1の電位V1、および第2の端子N2に与える"H"レベルの第2の電位V2を発生させている点である。これらの電位発生回路201、202は、制御信号φ1、φ2の発生回路と共に、第4図のR A S 系制御回路3内に含まれる。

第1図における第1の電位V1を発生するための第1の電位発生回路201は、例えば第2図のように構成される。すなわち3個のダイオード

- 22 -

統された n チャンネル MOS トランジスタ $Q_{11} \sim Q_{13}$ と負荷抵抗 R_1 の直列接続回路により、基準電位発生回路が構成されている。この基準電位発生回路の出力は演算増幅器 OP の反転入力端子に入力される。増幅器 OP の出力をゲート入力とする p チャンネル MOS トランジスタ Q_{14} と分圧用抵抗 R_a 、 R_b が電源電位 V_{cc} と接地電位間に直列接続されている。抵抗 R と R_b の接続点は演算増幅器 OP の非反転入力端子に接続されている。

この第 1 の電位発生回路 201 の基準電位発生回路からは、電源電位 V_{cc} に依存しない、主として MOS トランジスタ $Q_{11} \sim Q_{13}$ のしきい値電圧で決まる基準電位 V_c が得られる。この基準電位 V_c と、抵抗 R_a 、 R_b の分圧点電位の差が増幅されて、第 1 の電位 V_1 として、

$$V_1 = V_c \cdot (R_a + R_b) / R_b$$

なる電位が得られることになる。

第 2 の電位 V_2 を得る第 2 の電位発生回路 202 についても、第 2 図と同様の回路構成を用いる。この場合、第 1 の電位 V_1 と第 2 の電位

— 23 —

Q_1 のゲートに入力される事により、充電用 MOS トランジスタ Q でのしきい値電圧の降下がなく、したがって昇圧用キャパシタ C_2 の第 1 の端子 N_1 には第 1 の電位 V_1 が予備充電される。

この実施例でのワード線昇圧の動作を説明する。第 5 図はそのタイミング図である。アドレスが確定する前は、制御信号 ϕ_2 は“H”レベル、したがってキャパシタ C_2 の第 2 の端子 N_2 は“L”レベルである。このとき充電用 MOS トランジスタ Q_1 は前述のように昇圧された制御信号クロック ϕ_1 により制御されて、昇圧用キャパシタ C_2 の第 1 の端子 N_1 に第 1 の電位 V_1 を予備充電する。アドレスが確定して制御信号 ϕ_2 が“H”レベルから“L”レベルに変化すると、 p チャンネル MOS トランジスタ Q_2 がオン、 n チャンネル MOS トランジスタ Q_3 がオフになって、キャパシタ C_2 の第 2 の端子 N_2 に第 2 の電位 V_2 が与えられ、容量結合によって第 1 の端子 N_1 に昇圧電位が得られる。この昇圧電位は、ワード線駆動線 $WDRV$ を介し、クロック ϕ_3 、 ϕ_4 で制御さ

— 25 —

V_2 として等しいものを用いる場合には、一つの電位発生回路を共用することができる。

ワード線昇圧回路 7 の充電用 MOS トランジスタ Q_1 のゲートに与えられる制御信号 ϕ_1 は、第 1 の電位 V_1 が電源電位 V_{cc} よりトランジスタ Q_1 のしきい値より低い場合には V_{cc} を用いてよい。第 1 の電位 V_1 がこれより高い場合には、制御信号 ϕ_1 として例えばチャージポンプ回路により電源電位 V_{cc} より昇圧された信号が用いられる。第 3 図はそのチャージポンプ回路の構成例である。このチャージポンプ回路は、電荷蓄積用キャパシタ C_{11} 、 C_{12} と、キャパシタ C_{11} に充電するための n チャンネル MOS トランジスタ Q_{15} と、電荷転送用のダイオード接続された n チャンネル MOS トランジスタ Q_{16} 、 Q_{17} により構成される。キャパシタ C_{11} と C_{12} の一端には、例えばリングオシレータから得られる相補クロック信号 ϕ_a 、 ϕ_b が与えられる。

このチャージポンプ回路により昇圧された制御信号 ϕ_1 が第 1 図の充電用 MOS トランジスタ

— 24 —

れるデコーダ・トランジスタ Q_4 、 Q_5 等を介してメモリセルアレイ 8 の選択されたワード線 WL に供給される。これにより、ワード線 WL に沿う複数のメモリセル M_1 、 M_2 、…が選択されて、そのセルキャパシタとビット線との信号の授受が行われる。

従来と同様、ワード線の容量を C_1 、ワード線昇圧回路 7 の出力端子から選択ワード線までの間に付随する容量を C_3 とすると、この実施例の場合ワード線昇圧電位 V_{wl} は、

$$V_{wl} = \frac{V_1 \cdot (C_2 + C_3) + V_2 \cdot C_2}{C_1 + C_2 + C_3}$$

となる。第 1 の電位 V_1 と第 2 の電位 V_2 が等しい場合には、昇圧ワード線電位 V_{wl} は、

$$V_{wl} = \frac{V_1 \cdot (2C_2 + C_3)}{C_1 + C_2 + C_3}$$

となる。

第 6 図は、この実施例による昇圧ワード線電位 V_{wl} の電源電位依存性を示す。上述の式から明らかなようにこの実施例においては、ワード線昇圧

— 26 —

電位 V_{wl} は電源電位 V_{cc} に依存しない第 1 の電位 V_1 および第 2 の電位 V_2 により決まり、電源電位の動作保証範囲 $V_{ccmin} \sim V_{ccmax}$ で一定値を示す。したがって電源電位の下限 V_{ccmin} で十分な“H”レベル書き込みが可能であり、また上限 V_{ccmax} でセル・トランジスタのゲート酸化膜に不必要に高い電界がかかるのが防止される。

なお、上記実施例ではワード線昇圧回路に用いられる第 1 の電位 V_1 と第 2 の電位 V_2 共に電源電位に依存しない電位を用いたが、いずれか一方は電源電位 V_{cc} であっても良い。例えば第 7 図は、第 1 図のワード線昇圧回路 7 の第 2 の電位 V_2 の代りに電源電位 V_{cc} を用いた場合であり、第 8 図は同じく第 1 の電位 V_1 の代りに電源電位 V_{cc} を用いた場合である。第 7 図の昇圧回路を用いた場合、ワード線昇圧電位 V_{wl} は、

$$V_{wl} = \frac{V_1 \cdot (C_2 + C_3) + V_{cc} \cdot C_2}{C_1 + C_2 + C_3}$$

で表される。第 8 図の昇圧回路の場合、ワード線昇圧電位 V_{wl} は、

$$V_{wl} = \frac{V_{cc} \cdot (C_2 + C_3) + V_2 \cdot C_2}{C_1 + C_2 + C_3}$$

で表される。

いずれの場合も、ワード線昇圧電位 V_{wl} は、電源電位依存性は零ではないが、傾きは 1 より小さい。これらのワード線昇圧電位の電源電位依存性を、第 6 図と対応させて図に示すと、第 9 図のようになる。これらの場合にも、ワード線昇圧電位が第 21 図に示したような電源電位依存性を有する場合に比べると、 V_{ccmax} でのゲート酸化膜の電界緩和と V_{ccmin} での十分な“H”レベル書き込みを両立させることができる。

次に、製造プロセス条件の変動に対するワード線昇圧電位の補償を行うようにした実施例を説明する。ワード線駆動回路の要部構成は、先の実施例で示した第 1 図と変らない。この実施例においては、ワード線昇圧回路 7 に与える第 1 の電位 V_1 を発生する電位発生回路が第 10 図のように構成される。図示のように、第 1、第 2 の二つの基準電位発生回路 211、212 が用いられる。第

1 の基準電位発生回路 211 は、あるレベル以上の電源電位において電源電位に依存せず、セル・トランジスタのゲート酸化膜に比例する第 1 の基準電位 V_{c1} を発生するためのものである。第 2 の基準電位発生回路 212 は、電源電位とセル・トランジスタのしきい値変動に対応した第 2 の基準電位 V_{c2} を発生するものである。これらの具体的な構成例は後述する。第 1 の基準電位発生回路 211 の出力は、第 1 の増幅回路 221 に入力される。第 1 の増幅回路 221 は、演算増幅器 OP1 と、この増幅器 OP1 の出力をゲート入力とする p チャネル MOS トランジスタ Q211 および分圧用抵抗 Ra1、Rb1 の直列接続回路により構成されている。これにより第 1 の増幅回路 221 からは第 1 の基準電位 V_{c1} に比例した出力電位が得られる。第 2 の基準電位発生回路 212 の出力は、第 2 の増幅回路 222 に入力される。この第 2 の増幅回路 222 は、演算増幅器 OP2 と、この増幅器 OP2 の出力をゲート入力とする p チャネル MOS トランジスタ Q212 および分圧用抵抗

Ra2、Rb2 の直列接続回路により構成されている。抵抗 Ra2 と Rb2 の接続点は演算増幅器 OP2 の非反転入力端子に帰還接続されている。これら第 1、第 2 の増幅回路 221 および 222 の出力端子はワイヤード OR 結線 23 に接続されて、二つの増幅回路 221、222 の出力電位の高い方の電位が取り出されるようになっている。

第 11 図(a)～(f)は、第 1 の基準電位発生回路 211 の構成例である。第 11 図(a)では、負荷抵抗 R2 と 3 個のダイオード接続された n チャネル MOS トランジスタ Q31～Q33 が電源電位 V_{cc} と接地電位間に直列接続されている。ここで 3 段の MOS トランジスタ Q31～Q33 は、① n 型多結晶シリコン・ゲート電極を用いたチャネルイオン注入のない n チャネル MOS トランジスタ、または②チャネルイオン注入を行うことによってそのしきい値がゲート酸化膜厚にほぼ比例するようにした n チャネル MOS トランジスタを用いる。負荷抵抗 R2 の抵抗値は MOS トランジスタ Q31～Q33 のそれに比べて十分大きいものとする。こ

— 27 —

— 28 —

— 29 —

— 30 —

のとき出力端子には、電源電位 V_{cc} があるレベルすなわち 3 段の MOS トランジスタ $Q_{31} \sim Q_{33}$ のしきい値の合計値を超える範囲では、そのしきい値の合計値が第 1 の基準電位 V_{cl} として得られる。その詳細を説明すると次の通りである。

通常、 n 型ゲート電極のチャネルイオン注入のない n チャネル MOS トランジスタのしきい値電圧は、

$V_T = -V_{FB} + 2\phi_F + \gamma(\phi_F + V_{SUB})^{1/2} \cdot T_{OX}$ で表される。ここで、 V_{FB} はフラットバンド電圧、 ϕ_F はフェルミレベル、 γ は比例定数、 V_{SUB} は基板バイアス電圧、 T_{OX} はゲート酸化膜厚である。そして n 型ゲート電極のチャネルイオン注入のない n チャネル MOS トランジスタでは、

$| -V_{FB} + 2\phi_F | \ll \gamma(\phi_F + V_{SUB})^{1/2} \cdot T_{OX}$ であるから、しきい値電圧 V_T は、ゲート酸化膜厚 T_{OX} にほぼ比例する。これが第 1 3 図に示す $V_T \propto T_{OX}$ の直線である。したがって第 1 1 図 (a) の基準電位発生回路により、電源電位 V_{cc} がある値以上では、電源電位によらずゲート酸化膜

- 3 1 -

厚 T_{OX} に比例した第 1 の基準電位 V_{cl} を得ることができる。

第 1 1 図 (b) は、第 1 1 図 (a) に対して MOS トランジスタの基板バイアス条件が異なるのみである。基板バイアスが異なっても、上述のしきい値電圧の式において、 $(\phi_F + V_{SUB})^{1/2}$ の値が異なるのみであり、ゲート酸化膜厚に対する比例関係は変わらない。したがって例えばこの第 1 1 図 (b) の構成によれば、第 1 3 図の $V_T \propto T_{OX}$ なる関係が得られる。こうして負荷抵抗 R_L が大きい場合には、第 1 1 図 (a) (b) に示す基準電位発生回路によって、第 1 の基準電位 V_{cl} として、ゲート酸化膜厚 T_{OX} に比例する電位

$$V_{cl} = K \cdot T_{OX} \quad (K \text{ は比例定数}) \quad \dots (1)$$

が得られる。この関係は、MOS トランジスタの段数には直接関係なく、したがって第 1 1 図 (c) に示すように一つの MOS トランジスタ Q_{31} を用いても、同様の機能を持つ基準電位発生回路が得られる。以上の基準電位発生回路では、 n チャネル MOS トランジスタがチャネルイオン注入を行

- 3 2 -

わないものであるから、ゲート酸化膜厚以外のプロセス条件（イオン注入条件や温度）に対する変動が少なく、ゲート酸化膜厚 T_{OX} に比例した安定な基準電位を発生する事ができる。好ましくは

$$V_{cl} = K \cdot T_{OX}$$

において、比例定数 K が 0.6 以上となるようにする。

一方第 1 1 図 (a) ~ (c) において、チャネルイオン注入を行った n チャネル MOS トランジスタを用いてもよい。その場合には、イオン注入によるフラットバンドのずれ ΔV_{FB} が、

$$-V_{FB} + \Delta V_{FB} + 2\phi_F \sim 0$$

を満たすように、イオン注入条件を選ぶ。これによって、チャネルイオン注入を行った MOS トランジスタを用いても、ほぼゲート酸化膜厚に比例した基準電位を発生させることができる。また p 型ゲート電極の n チャネル MOS トランジスタでは、しきい値電圧が

$V_T = V_{FB} + 2\phi_F + \gamma(\phi_F + V_{SUB})^{1/2} \cdot T_{OX}$ で表されるから、やはりチャネルイオン注入を行

- 3 3 -

って、

$$V_{FB} - \Delta V_{FB} + 2\phi_F \sim 0$$

とする。この様な MOS トランジスタを用いても、ゲート酸化膜厚に比例した基準電位を得ることができる。

第 1 1 図 (d) は、 p 型ゲート電極のチャネルイオン注入を行わない p チャネル MOS トランジスタ Q_{34} を用いた例である。この場合、MOS トランジスタ Q_{34} のしきい値電圧は、

$V_T = -V_{FB} + 2\phi_F - \gamma(\phi_F + V_{SUB})^{1/2} \cdot T_{OX}$ となる。 T_{OX} が十分大きい場合は、

$| -V_{FB} + 2\phi_F | \ll \gamma(\phi_F + V_{SUB})^{1/2} \cdot T_{OX}$ となるので、やはりゲート酸化膜厚に比例した基準電位が得られる。そして n 型ゲート電極のチャネルイオン注入を行わない n チャネル MOS トランジスタを用いた場合と同様、 p 型ゲート電極のチャネルイオン注入を行わない p チャネル MOS トランジスタは、プロセス条件が決まればゲート酸化膜厚以外のパラメータの変動が少ないので、安定したゲート酸化膜厚依存性を持つ基準電位が

- 3 4 -

発生できる。

一方、n型ゲート電極のpチャネルMOSトランジスタの場合、チャネルイオン注入を行わないと、しきい値電圧は

$V_T = V_{FB} + 2\phi_F - \gamma(\phi_F + V_{SB})^{1/2} \cdot T_{ox}$ となる。これはゲート酸化膜厚に対して、第13図に示す直線 $-V_{T2}$ のように示され、ゲート酸化膜厚に比例しない。この場合でも、例えばボロンをチャネルイオン注入する事によりフラットバンド電圧のずれ ΔV_{FB} を発生させ、

$$|V_{FB} + 2\phi_F - \Delta V_{FB}| \sim 0$$

を満たすようにすれば、ゲート酸化膜厚に比例した基準電位を得ることができる。また、pチャネルMOSトランジスタを用いる場合にも、nチャネルMOSトランジスタの場合と同様、複数段直列接続して基準電位発生回路を構成することができる。

第11図(e)(f)は、第11図(c)の構成において、負荷抵抗 R_2 の部分にそれぞれnチャネルMOSトランジスタ Q_{35} 、pチャネルMOSトラ

- 35 -

$$V_{c2} = \frac{(V_{cc} - V_{rc}) R_3}{R_3 + R_4} + V_{rc} \\ = \left(\frac{R_3}{R_3 + R_4} \right) (V_{cc} + V_{rc} \frac{R_3}{R_4}) \quad \dots (2)$$

となる。

この(2)式から、第2の基準電位 V_{c2} は、電源電位 V_{cc} に依存し、かつMOSトランジスタのゲートしきい値電圧 V_{rc} の変動に応じて変動する値となる。

第12図(b)は、第12図(a)のMOSトランジスタ Q_{41} の基板バイアス条件を異ならせたものである。これは、MOSトランジスタのしきい値電圧が異なるだけで、(2)式の関係は変わらない。第12図(c)は、抵抗 R_4 とMOSトランジスタ Q_{12} の配置を第12図(a)と逆にしたもので、得られる基準電位は変わらない。第12図(d)は、複数のMOSトランジスタを並列接続して、第12図(a)と同じ基準電位を得る例である。メモリセルに用いられるMOSトランジスタは極めて微細であるため、プロセス条件はセル・トランジ

- 37 -

スタ Q_{36} を用いたものである。これら負荷抵抗用MOSトランジスタ Q_{35} 、 Q_{38} は、十分高抵抗とするため、

チャネル幅/チャネル長 < 1

なる条件を満たすものを用いる。これによって、第11図(c)の場合と同様にゲート酸化膜厚に比例する第1の基準電位 V_{c1} を得ることである。

第12図(a)~(d)は、第10図の第2の基準電位発生回路212の構成例である。第12図(a)においてnチャネルMOSトランジスタ Q_{41} は、セル・トランジスタと同様のプロセス条件、同様の形状をもって形成されたMOSトランジスタであり、これがダイオード接続されて抵抗 R_3 、 R_4 と共に電源電位 V_{cc} と接地電位間に直列接続されている。抵抗 R_3 、 R_4 の抵抗値は、MOSトランジスタ Q_{41} のそれより十分大きいものとする。

このとき得られる出力電位すなわち第2の基準電位 V_{c2} は、MOSトランジスタ Q_{41} のしきい値電圧を V_{rc} とすると、

- 36 -

クと同様として、それより大きいMOSトランジスタを複数個形成してこのように並列接続することにより、やはり(2)式で表される第2の基準電位 V_{c2} を得ることができる。

次に第10図に戻って、その動作を詳細に説明する。上述したような第1の基準電位発生回路211および第2の基準電位発生回路212から得られる第1の基準電位 V_{c1} および第2の基準電位 V_{c2} は、それぞれ増幅回路221、222により増幅される。すなわち第1の増幅回路221の出力電位 V_{a1} は、(1)式の値に増幅率をかけて、

$$V_{a1} = \frac{(R_{a1} + R_{b1}) K T_{ox}}{R_{b1}} \quad \dots (3)$$

となる。一方第2の増幅回路222の出力電位 V_{a2} は、(2)式の値に増幅率をかけて、

$$V_{a2} = \left(\frac{R_{a2} + R_{b2}}{R_{b2}} \right) \left(\frac{R_3}{R_3 + R_4} \right) (V_{cc} + V_{rc} \frac{R_3}{R_4}) \quad \dots (4)$$

となる。

第14図(a)は、これらの出力電位 V_{a1} 、 V_{a2}

- 38 -

の電源電位依存性を示す。出力電位 V_{a1} は、電圧電位 V_{cc} があるレベル以上では電源電位 V_{cc} によらず、ゲート酸化膜厚 T_{ox} のみに依存する一定値を示す。出力電位 V_{a2} は、電源電位 V_{cc} と MOS トランジスタのしきい値に依存する値を示す。これら二つの出力電位は、ワイヤード OR 結線 23 により、高い方の値が優先的に出力されることになり、結局第 14 図 (b) のような電位 V_1 出力が得られる事になる。

そしてこの線に得られる電位 V_1 を第 1 図のワード線昇圧回路 7 に与えることにより得られるワード線昇圧電位 V_{wl} は次のようになる。まず (3) 式による電位 V_{a1} が単独で昇圧用キャパシタに充電されてこれがワード線に与えられた場合を考えると、ワード線駆動線 $WDRV$ の容量 C_3 を無視したとき、

$$V_{wl} = \left(\frac{2C_1}{C_1 + C_2} \right) \left(\frac{Ra1 + Ra2}{Rb1} \right) K T_{ox} \quad \dots (5)$$

となる。同様に (4) 式による電位 V_{a2} のみを考えると、

- 39 -

直線 L_3 は、第 14 図 (a) の電位 V_{a2} すなわち電源電位と MOS トランジスタのしきい値に依存する部分に対応する。

この実施例による効果を次に説明する。いま、TDD B の最大電界を E_{max} として、

$$\left(\frac{2C_1}{C_1 + C_2} \right) \left(\frac{Ra1 + Ra2}{Rb1} \right) K = E_{max}$$

とすれば、(5) 式から、

$$V_{wl} = E_{max} \cdot T_{ox}$$

となる。すなわち、第 15 図のワード線昇圧電位 V_{wl} の平坦部 L_2 は、電源電位 V_{cc} の変動にもかかわらず TDD B 限界で一定となり、かつゲート酸化膜厚 T_{ox} の変動に対してこれに比例して変動する値になる。したがって先の実施例の効果に加えて、ワード線昇圧電位はプロセス変動によるゲート酸化膜厚の変動の影響が自動的に補償される。また、

$$C_1 > C_2, \text{ かつ}$$

$$2V_{cc} < E_{max} \cdot T_{ox}$$

であるときは、ワード線昇圧電位は昇圧回路の限

- 41 -

$$V_{wl} = \left(\frac{2C_1}{C_1 + C_2} \right) \left(\frac{Ra2 + Ra2}{Rb2} \right) \left(\frac{R_3}{R_3 + R_4} \right) (V_{cc} + V_{tc} \frac{R_3}{R_4}) \quad \dots (6)$$

となる。したがって全体としては、(5) 式と (6) 式の大きい方がワード線昇圧電位として与えられる。

以上のようにして得られるワード線昇圧電位の電源電位依存性を示すと、第 15 図のように表される。図の折れ線 V_1 は第 14 図 (b) のそれであり、これにより得られるワード線昇圧電位 V_{wl} がやはり図のような折れ線で表される。最大は、 $V_1 = V_{cc}$ 、 $C_1 > C_2$ のときで、 $V_{wl} = 2V_{cc}$ である。折れ線で表されたワード線昇圧電位 V_{wl} のうち電源電位 V_{cc} が小さい範囲の直線部分 L_1 がこれであり、第 14 図 (a) の電位 V_{a1} のうちしきい値により制限されず電源電位 V_{cc} に比例して増大する部分に対応する。平坦部 L_2 は、第 14 図 (a) の電位 V_a の平坦部すなわち MOS トランジスタのゲート酸化膜厚 T_{ox} のみに依存する部分に対応する。さらに電源電位 V_{cc} が高い領域での

- 40 -

昇 $2V_{cc}$ まで上昇させる事ができる。以上をまとめると、ゲート酸化膜厚 T_{ox} の変動が生じても、ワード線昇圧電位 V_{wl} は、

$2V_{cc} > E_{max} \cdot T_{ox}$ のとき、 $V_{wl} = 2V_{cc}$ まで、

$2V_{cc} \leq E_{max} \cdot T_{ox}$ のとき、 $V_{wl} = E_{max} \cdot T_{ox}$ 一定

となる。これにより、TDD B による信頼性の劣化を生じることなく、メモリセルへの "H" レベル書き込みマージン、および電源電位の動作マージンが十分なものとなり、ワード線電位の十分な上昇による読出し速度の上昇がはかられ、しかもプロセス条件のばらつきに対しては自動的にワード線昇圧電位を TDD B 限界に保つ補償がなされる。

一方、(6) 式において、

$$\left(\frac{2C_1}{C_1 + C_2} \right) \left(\frac{Ra2 + Ra2}{Rb2} \right) \left(\frac{R_3}{R_3 + R_4} \right) = 1$$

とすると、(6) 式は、

$$V_{wl} = V_{cc} + V_{tc} R_3 / R_4 \quad \dots (7)$$

- 42 -

となる。 $R3/R4$ の値を変えた場合にも、 $(Ra2+Rb2)/Rb2$ を変えることによって上記式(7)の条件を設定する事ができる。ここで実際にメモリセルの“H”レベル書き込みに必要とされるワード線電位は、セル・トランジスタのしきい値を V_{T1} として、

$$V_{WL} = V_{CC} + V_{T1} \quad \dots (8)$$

である。ワード線昇圧回路内の基準電位発生回路に用いられる例えば第12図(a)に示したMOSトランジスタ $Q41$ とセル・トランジスタとは、前述のようにプロセス条件や形状は同じであり、基板バイアスのみが異なる。いまセル・トランジスタの基板バイアスは、セルアレイのウェル電位を V_{SS} として

$$V_{SUB1} = V_{CC} + V_{SS}$$

である。ワード線昇圧回路の基準電位発生回路内のMOSトランジスタ $Q41$ の基板バイアスは、第12図(a)の回路構成の場合、

$$V_{SUB2} = (V_{CC} - V_{TC}) R3 / (R3 + R4)$$

である。したがって、 $V_{SUB1} > V_{SUB2}$ であり、こ

- 43 -

昇電位 V_{WL} の直線部 $L3$ を利用することができる。

以上のようにこの実施例によるワード線昇圧電位は、第15図に示すように電源電位の上昇に対して、 $L1 \rightarrow L2 \rightarrow L3$ なる軌跡をたどる。そしてこの軌跡と、“H”レベル書き込みの最低限レベル $V_{CC} + V_{T1}$ により囲まれた、第15図の斜線領域が、十分な書き込み動作マージンが得られる範囲である。これは従来の第21図に示した斜線で示した動作マージン領域と比較して明らかなように、大幅にマージンが向上している。

本発明は以上に説明したように、DRAMのワード線昇圧電位として電源電位に依存しない一定値を用いることが基本である。しかしながらこの場合、実際にはワード線電位がリークにより変動する。このリークは主として、ワード線につながるMOSトランジスタの拡散層から生じる。したがって本発明においては、ワード線のリーク補償を行うことが望ましい。以下にその様なリーク補償回路を設けたDRAMの実施例を説明する。ワード線駆動回路については、先に説明した実施例

- 45 -

の結果

$$V_{TC} < V_{T1}$$

となる。このしきい値の差を $R3/R4$ により補償して、

$$V_{T1} \sim V_{TC} R3 / R4$$

とすれば、“H”レベル書き込みに最低限必要なワード線電位として、

$$V_{WL} = V_{CC} + V_{TC} R3 / R4$$

$$\sim V_{CC} + V_{T1}$$

を得ることができる。第12図(b)(c)の場合にも基板バイアスが変わるだけであるから、同様の関係を設定することができる。

以上のような関係を満たすことによって、メモリセルへの“H”レベル書き込みが保証され、しかもプロセス条件によりセル・トランジスタのしきい値が変動した場合にも自動的にワード線昇圧電位が補償される。

さらにまた、電源電位 V_{CC} を強制的に上げてDRAMの加速試験を行う場合、この実施例のワード線駆動回路を用いて、第15図のワード線昇

- 44 -

のいずれかを用いればよく、以下ではリーク補償回路部の説明に限る。

第16図は、ワード線リーク補償回路部の構成を示すブロック図である。図に示すようにこのリーク補償回路部には、ワード線電位 V_{WL} と参照電位 V_{REF} を比較して検知する比較検知回路31が設けられる。この検出回路31の出力によりリングオシレータ32がON/OFF制御され、このリングオシレータ32の出力によってワード線昇圧回路に用いられるチャージポンプ回路33が制御されるようになっている。

第17図は比較検知回路31の具体的な構成例である。この比較検知回路は、ソースが共通接続されたnチャネルMOSトランジスタ $Q53$ 、 $Q54$ 、これらに電流を供給するpチャネルMOSトランジスタ $Q55$ 、 $Q56$ 、およびMOSトランジスタ $Q53$ 、 $Q54$ の共通ソースに直列接続されたスイッチング用nチャネルMOSトランジスタ $Q57$ 、 $Q58$ により構成されたカレントミラー型CMOS差動増幅回路を主体とする。MOSトランジスタ

- 46 -

Q57は制御信号 V_{sw} により制御され、MOSトランジスタQ58は別の制御信号 V_M により制御される。この差動増幅回路の信号入力端子すなわちMOSトランジスタQ53のゲートには、ワード線電位 V_{wl} が抵抗 r_1 、 r_2 により分圧されて入力され、参照電位入力端子すなわちMOSトランジスタQ54のゲートには、参照電位 V_{REF} が抵抗 r_3 、 r_4 により分圧されて入力されるようになっている。これら分圧抵抗 r_1 、 r_2 および r_3 、 r_4 にはそれぞれ、入力をON/OFFする制御信号 V_{sw} により制御されるスイッチング用nチャネルMOSトランジスタQ51、Q52が直列に介挿されている。CMOS差動増幅回路の出力は、pチャネルMOSトランジスタQ59を介し、出力バッファを介してリングオシレータ制御信号 V_{ro} として取り出される。MOSトランジスタQ59のドレインは電源 V_{cc} に接続され、ソースは制御信号 V_M により制御されるスイッチング用nチャネルMOSトランジスタQ61を介して接地されている。pチャネルMOSトランジスタQ59のゲート・ド

- 47 -

この実施例によるワード線リーク補償の動作は次の通りである。第17図の比較検知回路31は、制御信号 V_{sw} および V_M が“L”レベルの間、不活性状態に保たれる。このとき、出力段は、pチャネルMOSトランジスタQ60がオンであり、これによりpチャネルMOSトランジスタQ59はゲート・ドレインが短絡されてオフに保たれる。またnチャネルMOSトランジスタQ61がオフである。したがってリングオシレータ制御信号 V_{ro} は“L”レベルである。このとき第18図のリングオシレータ32は、pチャネルMOSトランジスタQ74、nチャネルMOSトランジスタQ73が共にオフであり、発振しない。

制御信号 V_{sw} および V_M が“H”レベルになると、比較検知回路31が活性化される。そしてワード線電位 V_{wl} がある設定された値より高い状態では、差動増幅回路の出力は“H”レベルであり、したがって出力段のpチャネルMOSトランジスタQ59がオフに保たれる。このときnチャネルMOSトランジスタQ61がオンであるから、制御信号

- 49 -

レイン間には、制御信号 V_{sw} により制御されるnチャネルMOSトランジスタQ60が設けられている。

この様なリーク補償回路において、ワード線電位 V_{wl} は、実際にセルアレイ内で選択されるワード線の電位または、セルアレイ内のワード線と同様の負荷条件に設定された疑似ワード線を用いてこれから得られる電位を利用する。参照電位 V_{REF} には例えば、第1図の実施例で昇圧回路部に用いられる第1の電位発生回路201から得られる内部電位 V_1 を利用する。そしてワード線電位 V_{wl} がある値以下になったときに、リングオシレータ制御信号 V_{ro} が“H”レベルになるように、分圧抵抗 $r_1 \sim r_4$ の値が設定される。

第18図は、第17図の比較検知回路から得られる制御信号 V_{ro} により制御されるリングオシレータの構成例である。すなわちCMOSインバータを複数段リング状に接続して構成されるリングオシレータの内部に、図示のような回路が設けられる。

- 48 -

V_{ro} は相変わらず“L”レベルに保たれる。ワード線電位 V_{wl} が設定された値以下になると、差動増幅回路の出力が“L”レベルになる。この結果出力段のpチャネルMOSトランジスタQ59がオンとなる。pチャネルMOSトランジスタQ59のオン抵抗とnチャネルMOSトランジスタQ61のオン抵抗とある関係に予め設定しておけば、pチャネルMOSトランジスタQ59がオンすることにより、出力制御信号 V_{ro} が“H”レベルになる。この制御信号 V_{ro} の“H”レベルへの遷移によって、第18図のリングオシレータ32が活性化されて発振を開始し、所定のクロック信号 ϕ_1 、 ϕ_2 が得られる。これによりチャージポンプ回路33が駆動されて、ワード線昇圧回路が働き、低下したワード線の昇圧が行われる。

以上のようにしてこの実施例によれば、ワード線のリークによる低下を補償して常にワード線を所望の値に設定することができる。したがって、前述したように電源電位に依存しない一定のワード線昇圧電位を用いる本発明のDRAMの信頼性

- 50 -

が向上する。またビット線実施例のように、ワード線昇圧のためのリングオシレータを常時動作させるのではなく、オン、オフ動作させることによって、無駄な消費電力を少なくすることができる。

第19図は、第17図の比較検知回路を僅かに変形した実施例の比較検知回路である。すなわち第17図における分圧抵抗 r_2 の部分で、さらに抵抗 r_{21} 、 r_{22} に分け、それらの接続点と接地電位間にnチャネルMOSトランジスタQ62を設けて、これを出力制御信号 V_{s0} により制御するようにしている。

この実施例によれば、リーク補償の動作に一定の不感帯が形成される。すなわち、ワード線電位 V_{wL} が所定の値より高く、出力制御信号 V_{s0} が“L”レベルの間、MOSトランジスタQ62はオフであり、このときワード線電位 V_{wL} 側の分圧比は、 $r_1 / (r_{21} + r_{22})$ である。つまり差動増幅回路に入力される電位は、

$$V_{wL} \cdot (r_{21} + r_{22}) / (r_1 + r_{21} + r_{22})$$
となる。これがある値以下に低下したときに比較

- 51 -

検知回路が働いて制御信号 V_{s0} が“H”レベルとなり、リングオシレータが働く。そして制御信号 V_{s0} が“H”レベルのとき、MOSトランジスタQ62はオンとなるため、ワード線電位 V_{wL} の入力側の分圧比は、 r_1 / r_{21} となる。このとき差動増幅回路に入力される電位は、

$$V_{wL} \cdot r_{21} / (r_1 + r_{21} + r_{22})$$

である。したがってリングオシレータが働いて低下したワード線電位 V_{wL} がある程度回復しても、差動増幅回路には十分な“H”レベル入力とならないため、しばらくはリングオシレータが動作しつづける。

こうしてこの実施例によれば、ワード線電位が低下するときと上昇するときのリーク補償回路のしきい値が異なり、リーク補償回路に不感帯が生じる。したがってワード線電位がリーク補償によって発振するという事態が防止される。

【発明の効果】

以上詳細に説明したように本発明によれば、電源電位 V_{cc} が高い場合のTDD Bに対する保証を

- 52 -

4. 図面の簡単な説明

第1図は本発明の一実施例のDRAMにおけるワード線駆動回路部の構成を示す図、

第2図は第1図における第1の電位発生回路の構成を示す図、

第3図は同じく第1図のワード線昇圧回路を駆動するチャージポンプ回路の構成を示す図、

第4図は実施例のDRAMの全体構成を示すブロック図、

第5図は第1図のワード線駆動回路の動作を説明するためのタイミング図、

第6図は実施例により得られるワード線昇圧電位の電源電位依存性を示す図、

第7図は他の実施例のワード線昇圧回路を示す図、

第8図はさらに他の実施例のワード線昇圧回路

- 53 -

を示す図、

第9図は第7図および第8図の実施例により得られるワード線昇圧電位の電源電位依存性を示す図、

第10図は別の実施例のDRAMにおける第1の電位発生回路の構成を示す図、

第11図(a)～(f)は、第10図における第1の基準電位発生回路の構成例を示す図、

第12図(a)～(d)は、第10図における第2の基準電位発生回路の構成例を示す図、

第13図はMOSトランジスタのしきい値電圧のゲート酸化膜厚依存性を示す図、

第14図(a)(b)は第10図の電位発生回路の出力電位特性を示す図、

第15図は第10図の電位発生回路を用いた実施例でのワード線電位の電源電位依存性を示す図、

第16図はさらに別の実施例のDRAMにおけるワード線リーク補償回路を示す図、

第17図は第16図における比較検知回路の構成例を示す図、

- 54 -

第18図は同じくリングオシレータの構成例を示す図、

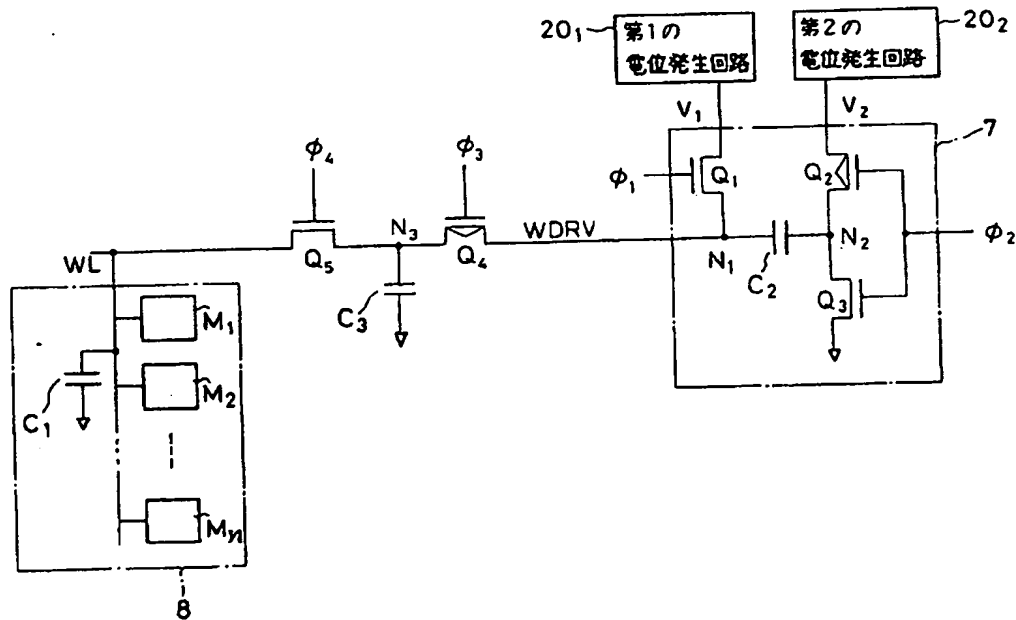
第19図は第17図の構成を変形した比較検知回路を示す図、

第20図は従来のDRAMのワード線駆動回路を示す図、

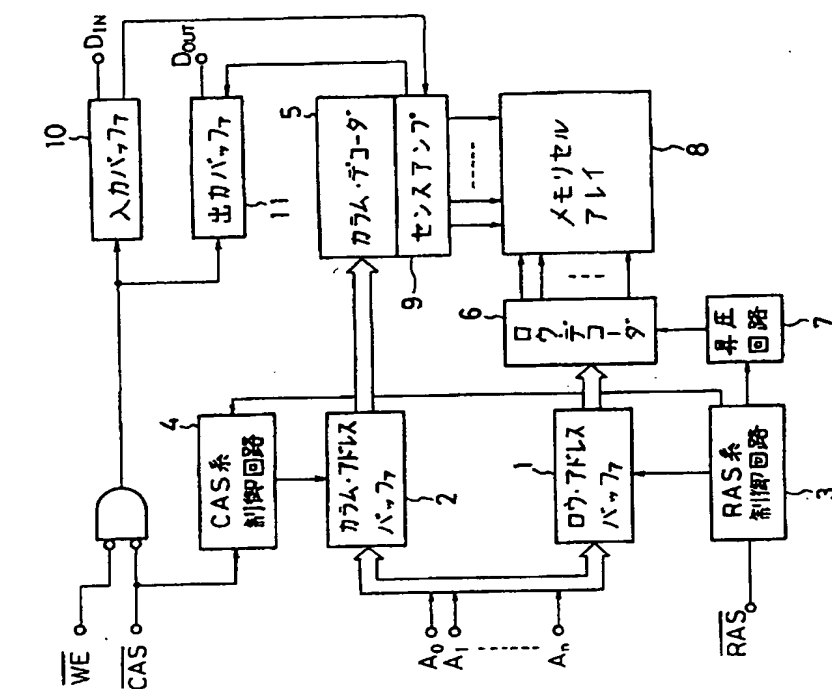
第21図は同じくそのワード線昇圧電位の電源電位依存性を示す図である。

1…ロウ・アドレス・バッファ、2…カラム・アドレス・バッファ、3…RAS系制御回路、4…CAS系制御回路、5…カラム・デコード、6…ロウ・デコード、7…ワード線昇圧回路、8…メモリセルアレイ、9…センスアンプ、10…入力バッファ、11…出力バッファ、201…第1の電位発生回路、202…第2の電位発生回路、211…第1の基準電位発生回路、212…第2の基準電位発生回路、221…第1の増幅回路、222…第2の増幅回路、23…ワイヤードOR結線、31…比較検知回路、32…リングオシレータ、33…チャージポンプ回路。

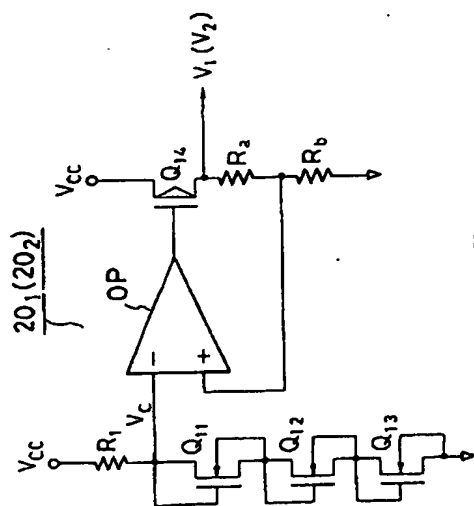
— 55 —



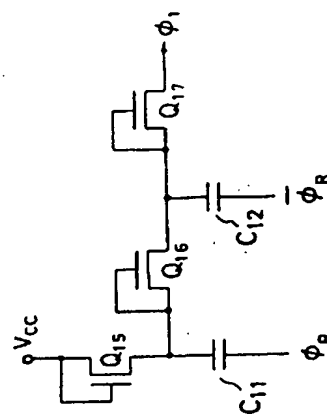
第 1 図



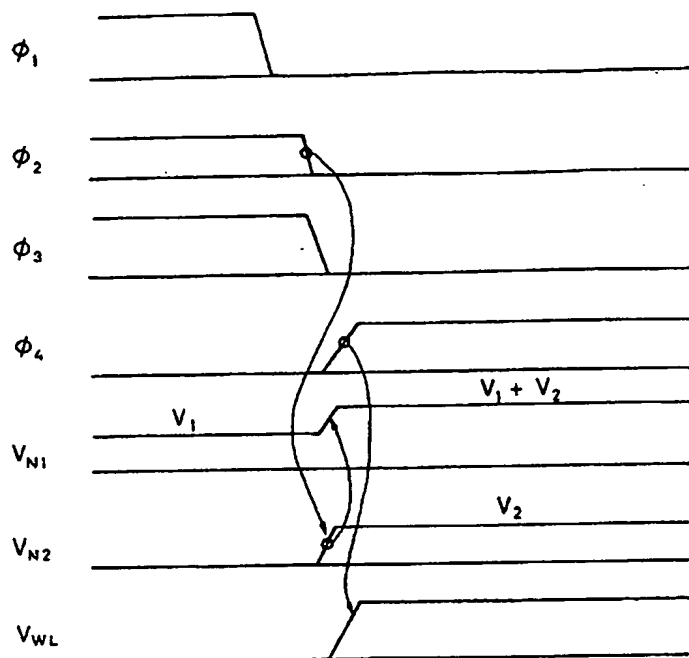
第 4 図



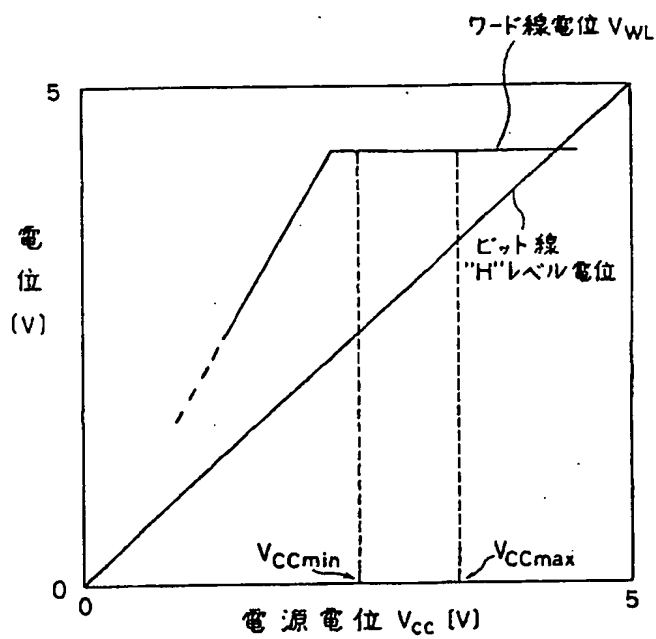
第 2 図



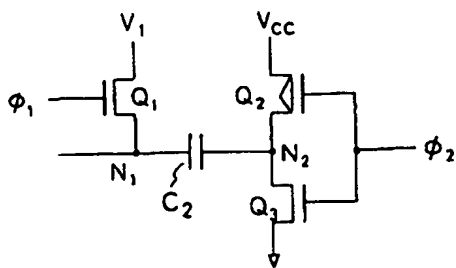
第 3 図



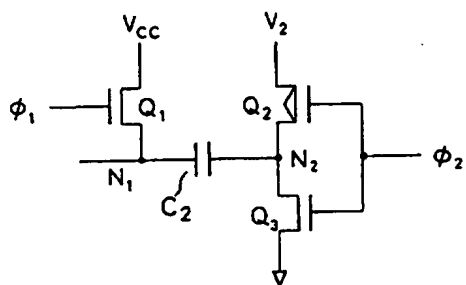
第 5 図



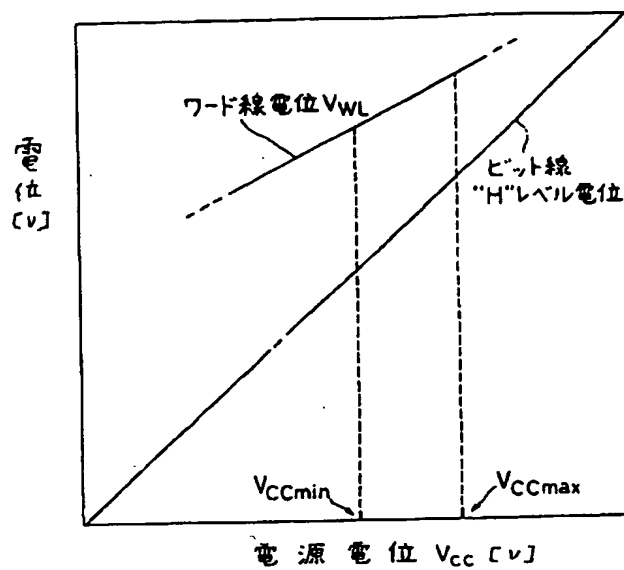
第 6 図



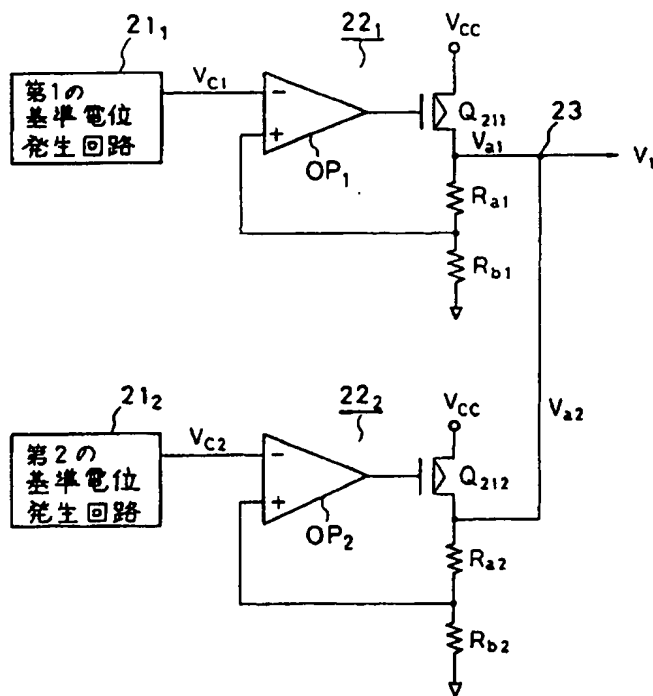
第 7 図



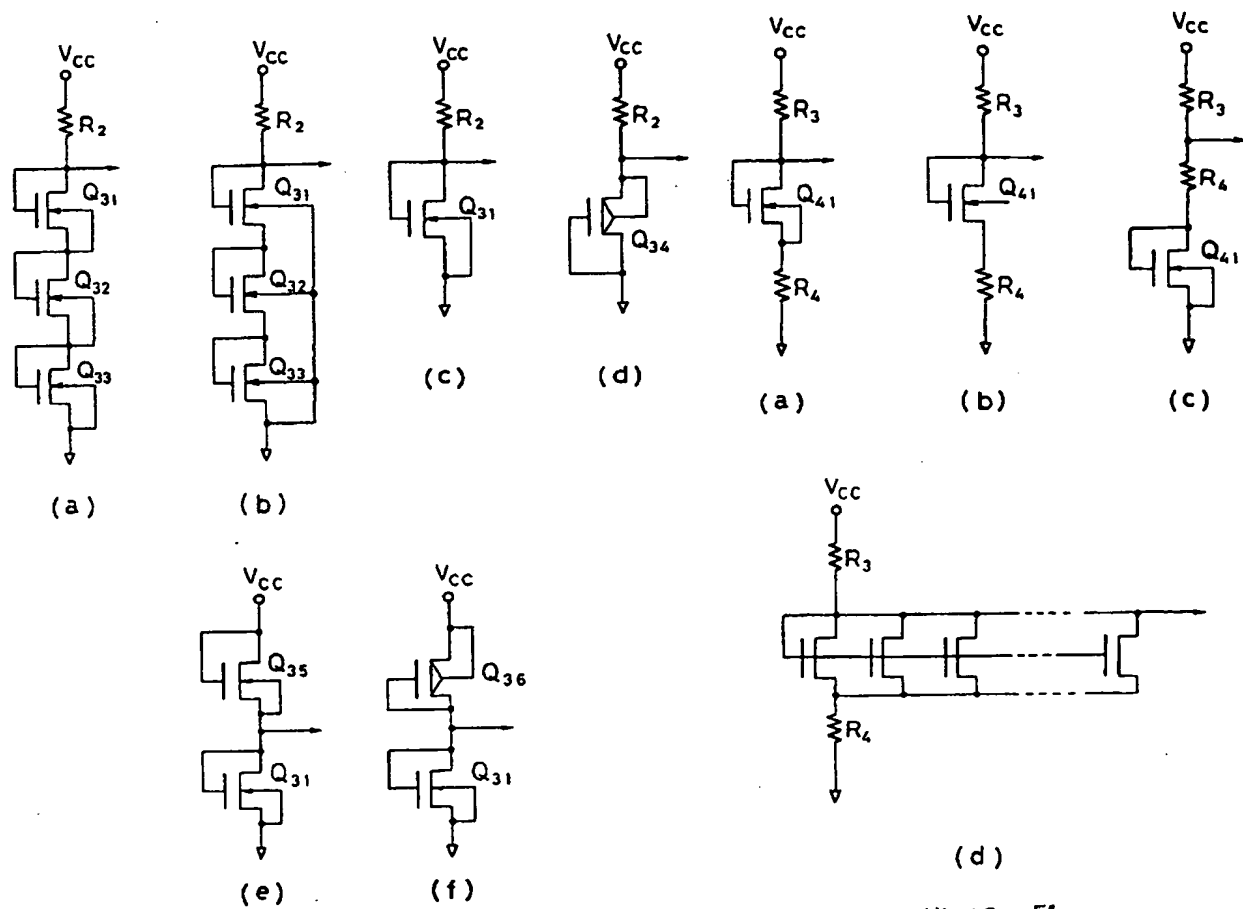
第 8 図



第 9 図

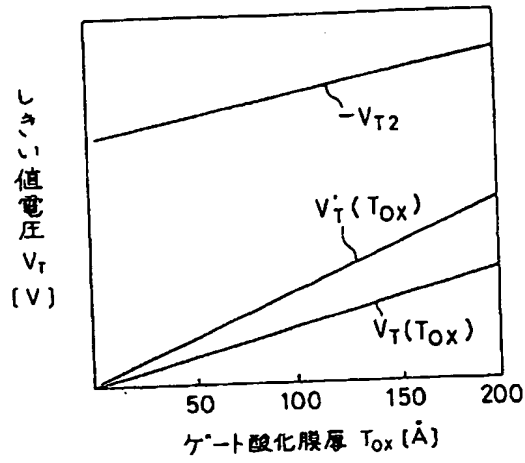


第 10 図

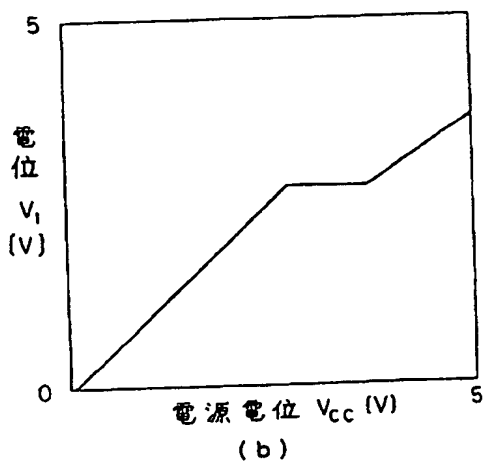
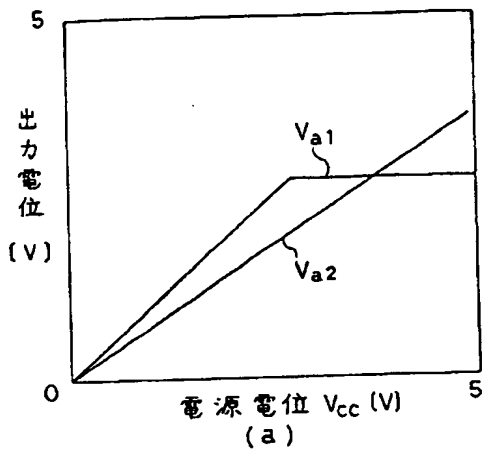


第 11 図

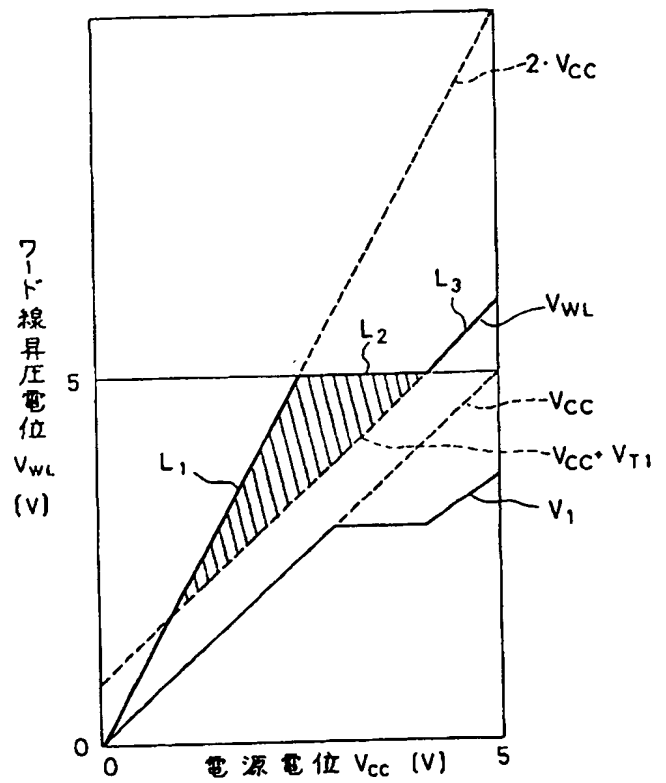
第 12 図



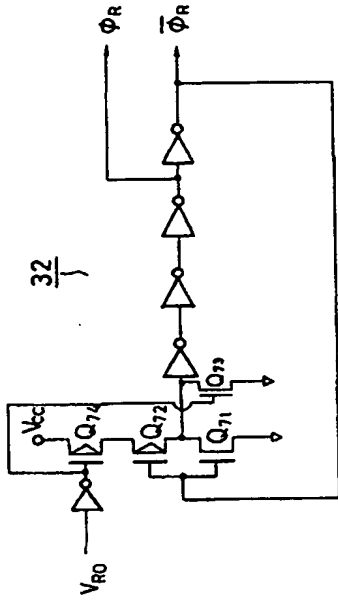
第 13 図



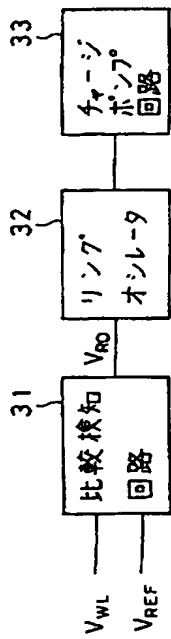
第 14 図



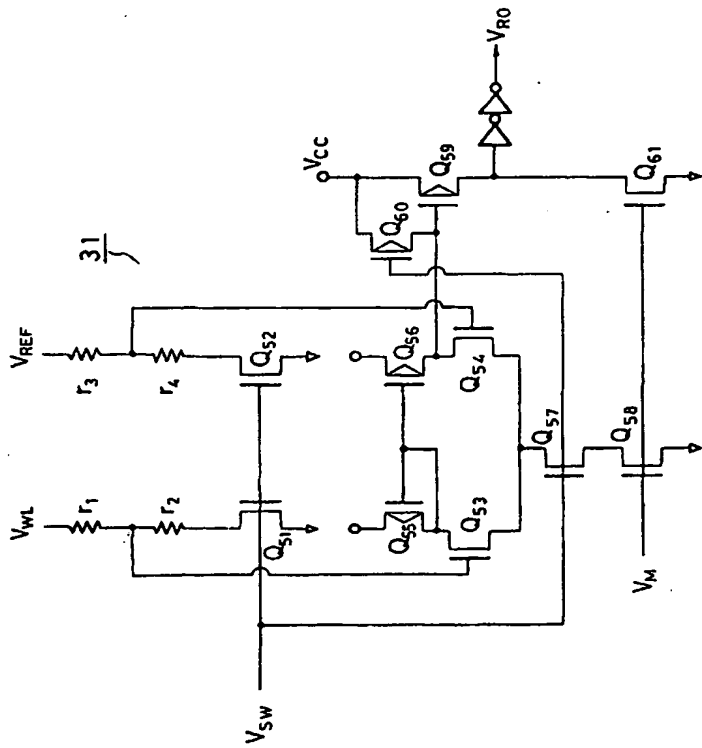
第 15 図



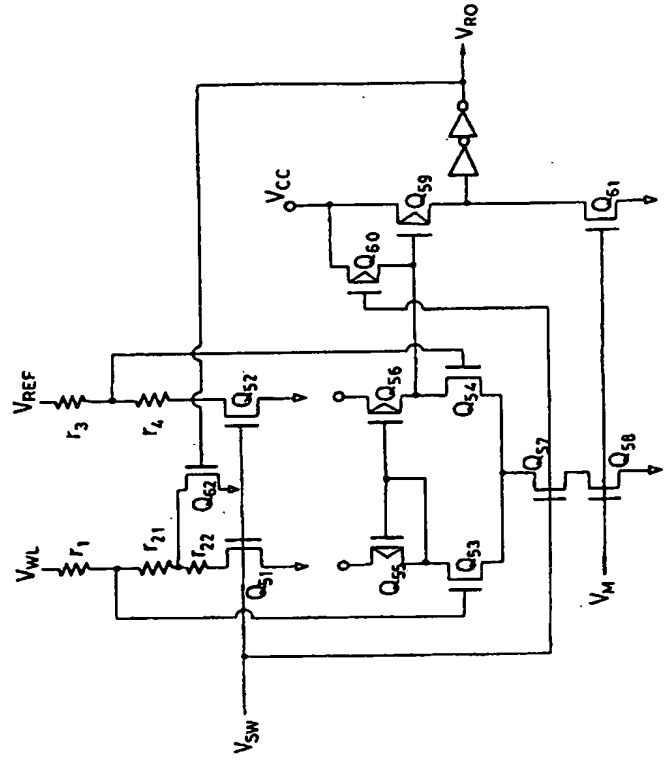
第 16 図



第 17 図



第 18 図



第 19 図

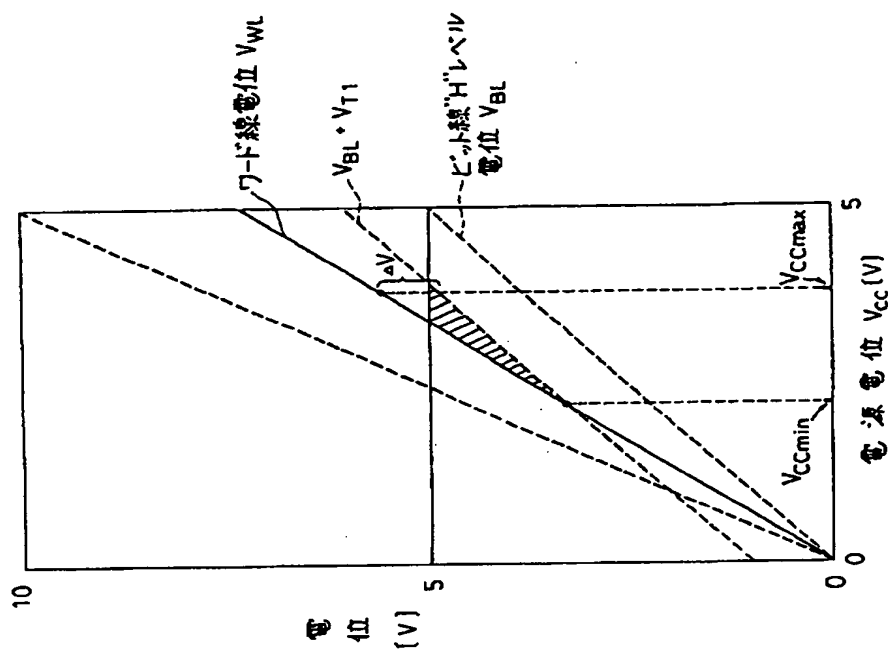
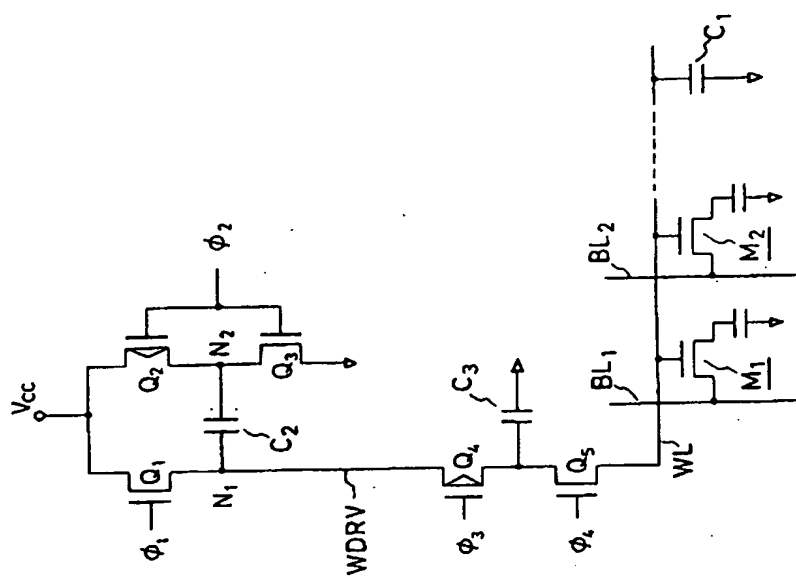


圖 21 紙



第 20 题